



OKI.616

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hiroyuki Fukunaga

Group Art Unit: 2823

Serial No.: 10/761,223

Examiner: B. Kebede

Filed: January 22, 2004

Confir. No.: 2739

For: METHOD OF MANUFACTURING NONVOLATILE SEMICONDUCTOR
STORAGE DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
Customer Window
Randolph Building
401 Dulany Street
Alexandria, VA 22314

Date: August 5, 2005

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2003-370863

filed October 30, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

Andrew J. Telesz, Jr.
Registration No. 33,581

One Freedom Square
11951 Freedom Drive, Suite 1260
Reston, Virginia 20190
Tel. (571) 283-0720
Fax. (571) 283-0740

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 0 8 6 3
Application Number:

[ST. 10/C]: [J P 2 0 0 3 - 3 7 0 8 6 3]

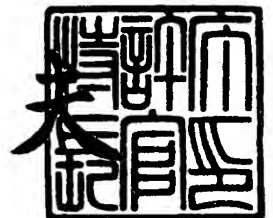
出 願 人 沖電気工業株式会社
Applicant(s): 宮城沖電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 KA003927
【提出日】 平成15年10月30日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 29/788
【発明者】
 【住所又は居所】 宮城県黒川郡大衡村沖の平 1 番 宮城沖電気株式会社内
 【氏名】 福永 浩之
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【特許出願人】
 【識別番号】 591048162
 【氏名又は名称】 宮城沖電気株式会社
【代理人】
 【識別番号】 100086807
 【弁理士】
 【氏名又は名称】 柿本 恭成
【手数料の表示】
 【予納台帳番号】 007412
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001054

【書類名】特許請求の範囲

【請求項 1】

半導体基板上に第 1 絶縁膜及び第 1 ポリシリコン層を逐次形成して該第 1 ポリシリコン層の表面に窒素イオンを注入する第 1 工程と、

前記第 1 ポリシリコン層及び第 1 絶縁膜を帯状にパターニングする第 2 工程と、

前記パターニングされた帯状の第 1 ポリシリコン層を熱酸化して該第 1 ポリシリコン層の側面側の膜厚が該第 1 ポリシリコン層の表面側の膜厚よりも厚い第 2 絶縁膜を形成する第 3 工程と、

前記第 2 絶縁膜が形成された前記半導体基板の表面に第 2 ポリシリコン層を形成する第 4 工程と、

パターニングによって前記第 1 絶縁膜、前記第 1 ポリシリコン層による浮遊ゲート電極、前記第 2 絶縁膜、及び前記第 2 ポリシリコン層による制御ゲート電極からなる記憶素子を形成する第 5 工程とを、

順次行うことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 2】

半導体基板上に第 1 絶縁膜及び第 1 ポリシリコン層を逐次形成して該第 1 ポリシリコン層及び第 1 絶縁膜を帯状にパターニングする第 1 工程と、

前記第 1 ポリシリコン層の表面に窒素イオンを注入する第 2 工程と、

前記窒素イオンが注入された第 1 ポリシリコン層を熱酸化して該第 1 ポリシリコン層の側面側の膜厚が該第 1 ポリシリコン層の表面側の膜厚よりも厚い第 2 絶縁膜を形成する第 3 工程と、

前記第 2 絶縁膜が形成された前記半導体基板の表面に第 2 ポリシリコン層を形成する第 4 工程と、

パターニングによって前記第 1 絶縁膜、前記第 1 ポリシリコン層による浮遊ゲート電極、前記第 2 絶縁膜、及び前記第 2 ポリシリコン層による制御ゲート電極からなる記憶素子を形成する第 5 工程とを、

順次行うことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 3】

半導体基板上に第 1 絶縁膜、第 1 ポリシリコン層及び窒化シリコン膜を逐次形成し、これらの窒化シリコン膜、第 1 ポリシリコン層及び第 1 絶縁膜を帯状にパターニングする第 1 工程と、

前記帯状にパターニングされた第 1 ポリシリコン層を熱酸化してその側面に酸化膜を形成する第 2 工程と、

前記窒化シリコン膜及び前記酸化膜を除去する第 3 工程と、

前記第 1 ポリシリコン層を熱酸化して該第 1 ポリシリコン層を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜が形成された前記半導体基板の表面に第 2 ポリシリコン層を形成する第 5 工程と、

パターニングによって前記第 1 絶縁膜、前記第 1 ポリシリコン層による浮遊ゲート電極、前記第 2 絶縁膜、及び前記第 2 ポリシリコン層による制御ゲート電極からなる記憶素子を形成する第 6 工程とを、

順次行うことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 4】

前記第 1 工程において、前記半導体基板上に前記第 1 ポリシリコン層を形成した後、該第 1 ポリシリコン層の表面に窒素イオンを注入し、その後、該第 1 ポリシリコン層の表面に前記窒化シリコン膜を形成することを特徴とする請求項 3 記載の不揮発性半導体記憶装置の製造方法。

【書類名】明細書

【発明の名称】不揮発性半導体記憶装置の製造方法

【技術分野】

【0001】

本発明は、フラッシュメモリ等の浮遊ゲートを有する不揮発性半導体記憶装置の製造方法に関するものである。

【背景技術】

【0002】

【特許文献1】特開昭62-131582号公報

【特許文献2】特開平5-175508号公報

【特許文献3】特開平6-188431号公報

【0003】

図2(a)～(c)は、従来の不揮発性半導体記憶装置における記憶素子の構成図である。

【0004】

この記憶素子は、半導体基板1の表面を素子分離領域2で区分し、この素子分離領域2で区分された半導体基板1のアクティブ領域に、厚さ10nm程度のトンネル酸化膜3を介して、浮遊ゲート4、ゲート間絶縁膜5及び制御ゲート6を順次積層した後、パターニングによって形成されている。また、記憶素子の両側のアクティブ領域には、ソース電極及びドレイン電極となる拡散層7、8が形成されている。この記憶素子に対する電氣的な書込み及び消去は、制御ゲート6と拡散層7、8若しくは半導体基板1との間に電圧を印加することにより、その間にある浮遊ゲート4に対して電荷を蓄積したり、或いは蓄積された電荷を放電することによって行われるようになっている。

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来の記憶素子では、浮遊ゲート4と制御ゲート6の間のゲート間絶縁膜5を一定条件で生成及び成膜しているため、この浮遊ゲート4の表面と側面に形成されるゲート間絶縁膜5の厚さがほぼ同一となる。このため、浮遊ゲート4表面のエッジ部におけるゲート間絶縁膜5の膜厚が他の箇所に比べて薄くなり、このエッジ部の電位傾度が大きくなって、誤書込みや誤消去が発生したり、電荷保持に悪影響が生ずるという問題点があった。

【0006】

本発明は、電氣的な書込み及び消去に影響を与えず、かつ長時間の電荷保持が可能な不揮発性半導体記憶装置の製造方法を提供することを目的としている。

【課題を解決するための手段】

【0007】

本発明の不揮発性半導体記憶装置の製造方法は、半導体基板上に第1絶縁膜及び第1ポリシリコン層を逐次形成して該第1ポリシリコン層の表面に窒素イオンを注入する第1工程と、前記第1ポリシリコン層及び第1絶縁膜を帯状にパターニングする第2工程と、前記パターニングされた帯状の第1ポリシリコン層を熱酸化して該第1ポリシリコン層の側面側の膜厚が該第1ポリシリコン層の表面側の膜厚よりも厚い第2絶縁膜を形成する第3工程と、前記第2絶縁膜が形成された前記半導体基板の表面に第2ポリシリコン層を形成する第4工程と、パターニングによって前記第1絶縁膜、前記第1ポリシリコン層による浮遊ゲート電極、前記第2絶縁膜、及び前記第2ポリシリコン層による制御ゲート電極からなる記憶素子を形成する第5工程とを順次行うことを特徴としている。

【発明の効果】

【0008】

本発明では、例えば、浮遊ゲート電極となる第1ポリシリコン層の表面に窒素イオンを注入した後で、第1ポリシリコン層の表面及び側面を熱酸化して第2絶縁膜を形成するようにしている。窒素イオンは、ポリシリコンの熱酸化を抑制する作用があるので、浮遊ゲ

ート電極の表面に形成される第2絶縁膜の膜厚は、側面の第2絶縁膜よりも薄くなる。従って、浮遊ゲート電極表面の第2絶縁膜を所定の厚さに形成すれば、側面の第2絶縁膜の膜厚は厚くすることができる。これにより、浮遊ゲート電極のエッジ部における第2絶縁膜の膜厚が他の箇所に比べて薄くならず、このエッジ部の電位傾度が大きくなるという問題点が解決され、書込み及び消去特性が良好で、長時間の電荷保持が可能な不揮発性半導体記憶装置を得ることができるという効果がある。

【発明を実施するための最良の形態】

【0009】

この発明の前記並びにその他の目的と新規な特徴は、次の、好ましい実施例の説明を添付図面と照らし合わせて読むと、より完全に明らかになるであろう。但し、図面は、もっぱら解説のためのものであって、この発明の範囲を限定するものではない。

【実施例1】

【0010】

図1(a)～(c)は、本発明の実施例1を示す不揮発性半導体記憶装置における記憶素子の構成図であり、同図(a)は平面図、及び同図(b), (c)は、それぞれ同図(a)中の断面X-X, Y-Yを示す断面図である。

【0011】

この記憶素子では、半導体基板11の表面をシリコン酸化膜等による素子分離領域12で区分し、この素子分離領域12で区分された半導体基板11のアクティブ領域に、厚さ5～20nmのトンネル酸化膜13を介して、厚さ20～50nmのポリシリコンによる浮遊ゲート14が形成されている。図示されていないが、浮遊ゲート14の表面には、その表面だけに留まるように窒素イオンが注入されている。

【0012】

また、浮遊ゲート14の表面と断面X-X方向の側面には、熱酸化によるゲート間絶縁膜15が形成されている。ゲート間絶縁膜15は、浮遊ゲート14の表面のゲート間絶縁膜15aの厚さが、この浮遊ゲート14の側面のゲート間絶縁膜15bの厚さよりも、薄くなっている。例えば、表面のゲート間絶縁膜15aの膜厚を10nmとすると、側面のゲート間絶縁膜15bの膜厚は、12～20nmである。

【0013】

ゲート間絶縁膜15の表面には、ポリシリコン等による膜厚80～150nmの制御ゲート16が形成されている。アクティブ領域に形成されたトンネル酸化膜13、浮遊ゲート14、ゲート間絶縁膜15及び制御ゲート16からなる記憶素子の両側の半導体基板11には、イオン注入によってソース電極及びドレイン電極となる拡散層17, 18が形成されている。

【0014】

図3(a)～(e)は、図1の記憶素子の製造方法を示す工程図である。なお、各図3(a)～(e)の左側は図1(a)における断面X-Xに対応し、右側は断面Y-Yに対応している。以下、これらの図3(a)～(e)を参照しつつ、図1の記憶素子の製造方法を説明する。

【0015】

(1) 工程1

図3(a)に示すように、半導体基板11の表面にシリコン酸化膜等を用いて、公知の技術により素子分離領域12を形成し、この素子分離領域12の表面に、熱酸化等によって、厚さ5～20nmのトンネル酸化膜13を生成する。そして、このトンネル酸化膜13の表面に、後でパターンニングによって浮遊ゲート14となる厚さ20～50nmのポリシリコン層14Aを形成した後、このポリシリコン層14Aの表面に、その表面だけに留まるように窒素イオン(N)の注入を行う。この時の窒素イオンの注入条件は、5～10keVで、 $1 \times 10^{19} \sim 5 \times 10^{20}$ イオン/cm²である。

【0016】

(2) 工程2

図1(a)の縦方向(Y-Y方向)に帯状になるように、公知のホトリソグラフィ技術を用いて、ポリシリコン層14Aとトンネル酸化膜13をパターンニングする。これにより、図3(b)に示すように、半導体基板11のアクティブ領域を跨いで、両端が素子分離領域12に掛かるように形成された、帯状のポリシリコン層14Bとトンネル酸化膜13が得られる。

【0017】

(3) 工程3

パターンニングによって形成された帯状のポリシリコン層14Bとトンネル酸化膜13の表面を熱酸化によって酸化させ、ゲート間絶縁膜15を生成する。この時、ポリシリコン層14Bの表面には窒素イオンが注入されているため、窒素イオンが存在しない側面に比べて酸化膜の成長が遅くなる。これにより、図3(c)に示すように、ポリシリコン層14Bの表面には厚さ10nm程度のゲート間絶縁膜15aが形成され、このポリシリコン層14Bとトンネル酸化膜13の側面には、厚さ12~20nm程度のゲート間絶縁膜15bが形成される。

【0018】

(4) 工程4

図3(d)に示すように、表面にゲート間絶縁膜15が形成された半導体基板11の表面に、後でパターンニングによって制御ゲート16となる厚さ80~150nmのポリシリコン層16Aを形成する。

【0019】

(5) 工程5

図1(a)の縦方向に連続したポリシリコン層14Bを個々の浮遊ゲート14に分離するために、公知のホトリソグラフィ技術を用いて、横方向の帯状になるように、ポリシリコン層16A、ゲート間絶縁膜15、ポリシリコン層14B及びトンネル酸化膜13をパターンニングする。これにより、図3(e)の右側に示すように、半導体基板11のアクティブ領域内に、トンネル酸化膜13、浮遊ゲート14、ゲート間絶縁膜15及び制御ゲート16を順次積層して形成された記憶素子が得られる。

【0020】

この後、記憶素子の両側の半導体基板11表面に、イオン拡散によってソース電極及びドレイン電極となる拡散層17、18を形成する。これにより、図1に示すような不揮発性半導体記憶装置における記憶素子が完成する。

【0021】

以上のように、この実施例1の記憶素子は、浮遊ゲート14となるポリシリコン層14Aの表面に、その表面だけに留まるように窒素イオンを注入した後、このポリシリコン層14Aをパターンニングし、更にその表面と側面を同時に熱酸化によって酸化させるようにしている。これにより、浮遊ゲート14側面のゲート間絶縁膜15bの膜厚を、窒素イオンが注入された表面のゲート間絶縁膜15aよりも厚く形成することができる。従って、浮遊ゲート14のエッジ部におけるゲート間絶縁膜15の膜厚は、他の箇所に比べて薄くならず、このエッジ部の電位傾度は設計値通りとなり、誤書込みや誤消去が発生したり、電荷保持に悪影響が生ずるといった問題点が解決される。

【実施例2】

【0022】

図4(a)~(f)は、本発明の実施例2を示す記憶素子の製造工程図である。なお、各図4(a)~(f)の左側は図1(a)における断面X-Xに対応し、右側は断面Y-Yに対応している。また、図1及び図3中の要素と共通の要素には共通の符号が付されている。

【0023】

(1) 工程1

図4(a)に示すように、半導体基板11の表面に素子分離領域12、トンネル酸化膜13、ポリシリコン層14Aを順次積層して形成した後、このポリシリコン層14Aの表

面に、厚さ 50 ~ 100 nm の窒化シリコン膜 19 を成膜する。

【0024】

(2) 工程 2

図 1 (a) の Y-Y 方向に帯状になるように、窒化シリコン膜 19、ポリシリコン層 14 A 及びトンネル酸化膜 13 をパターンニングし、半導体基板 11 のアクティブ領域を跨いで、両端が素子分離領域 12 に掛かるように形成された、帯状の窒化シリコン膜 19、ポリシリコン層 14 B 及びトンネル酸化膜 13 が得られる。更に、例えば 900℃ で熱酸化を施し、ポリシリコン層 14 B の側面に厚さ 10 nm 程度の酸化膜 14 a を生成する。これにより、図 4 (b) に示すように、側面に酸化膜 14 a が形成された帯状のポリシリコン層 14 B が得られる。

【0025】

(3) 工程 3

熱リン酸によって窒化シリコン膜 19 を除去し、更に、フッ酸によってポリシリコン層 14 B 側面の酸化膜 14 a を除去する。この時、ポリシリコン層 14 B のエッジ部は、工程 2 における熱酸化によって一層の酸化が進んでいる。このため、酸化膜 14 a を除去すると、図 4 (c) に示すように、エッジ部の角がとれて曲面を有するポリシリコン層 14 C が得られる。

【0026】

(4) 工程 4

エッジ部が曲面となった帯状のポリシリコン層 14 C とトンネル酸化膜 13 の表面を熱酸化によって酸化させ、ゲート間絶縁膜 15 を生成する。これにより、図 4 (d) に示すように、ポリシリコン層 14 C の表面及び側面とトンネル酸化膜 13 の側面に、10 nm 程度のゲート間絶縁膜 15 が形成される。

【0027】

(5) 工程 5

図 4 (e) に示すように、表面にゲート間絶縁膜 15 が形成された半導体基板 11 の表面に、後のパターンニングによって制御ゲート 16 となる厚さ 80 ~ 150 nm のポリシリコン層 16 A を形成する。

【0028】

(6) 工程 6

図 1 (a) の縦方向に連続したポリシリコン層 14 C を個々の浮遊ゲート 14 に分離するために、横方向の帯状になるように、ポリシリコン層 16 A、ゲート間絶縁膜 15、ポリシリコン層 14 C 及びトンネル酸化膜 13 をパターンニングする。これにより、図 4 (f) の右側に示すように、半導体基板 11 のアクティブ領域内に、トンネル酸化膜 13、浮遊ゲート 14、ゲート間絶縁膜 15 及び制御ゲート 16 を順次積層して形成された記憶素子が得られる。

【0029】

この後、記憶素子の両側の半導体基板 11 表面に、イオン拡散によってソース電極及びドレイン電極となる拡散層 17、18 を形成する。これにより、図 1 に示すような不揮発性半導体記憶装置における記憶素子が完成する。

【0030】

以上のように、この実施例 2 の記憶素子は、浮遊ゲート 14 となるポリシリコン層 14 A の表面に、窒化シリコン膜 19 を形成した後、このポリシリコン層 14 A をパターンニングし、その側面を熱酸化して酸化膜 14 a を形成するようにしている。これにより、窒化シリコン膜 19 と酸化膜 14 a を除去した後に、エッジ部が曲面となった浮遊ゲート 14 が得られる。このため、浮遊ゲート 14 のエッジ部におけるゲート間絶縁膜 15 の膜厚は、他の箇所に比べて薄くならず、実施例 1 と同様の利点を得られる。

【実施例 3】

【0031】

図 5 (a) ~ (g) は、本発明の実施例 3 を示す記憶素子の製造工程図である。なお、

、各図5 (a) ~ (g) の左側は図1 (a) における断面X-Xに対応し、右側は断面Y-Yに対応している。また、図4 中の要素と共通の要素には共通の符号が付されている。

【0032】

(1) 工程1

図5 (a) に示すように、半導体基板11の表面に素子分離領域12、トンネル酸化膜13、ポリシリコン層14Aを順次積層して形成した後、このポリシリコン層14Aの表面に窒素イオンの注入を行う。これは、実施例1の工程1と同じである。

【0033】

(2) 工程2

図5 (b) に示すように、窒素イオンが注入されたポリシリコン層14Aの表面に、厚さ50~100nmの窒化シリコン膜19を成膜する。

【0034】

(3) 工程3

図1 (a) のY-Y方向に帯状になるように、窒化シリコン膜19、ポリシリコン層14A及びトンネル酸化膜13をパターンニングする。これにより、半導体基板11のアクティブ領域を跨いで、両端が素子分離領域12に掛かるように形成された、帯状の窒化シリコン膜19、ポリシリコン層14B及びトンネル酸化膜13が得られる。更に、熱酸化によってポリシリコン層14Bの側面に、厚さ10nm程度の酸化膜14aを生成する。これにより、図5 (c) に示すように、ポリシリコン層14Bの側面に酸化膜14aが形成された帯状の記憶素子部が得られる。これは、実施例2の工程2と同じである。

【0035】

(4) 工程4

実施例2の工程3と同様に、窒化シリコン膜19とポリシリコン層14B側面の酸化膜14aを除去する。これにより、図5 (d) に示すように、エッジ部の角がとれて曲面となったポリシリコン層14Cが得られる。

【0036】

(5) 工程5

エッジ部が曲面となった帯状のポリシリコン層14Cとトンネル酸化膜13の表面及び側面を熱酸化によって酸化させ、ゲート間絶縁膜15を生成する。この時、ポリシリコン層14Cの表面には、工程1によって、予め窒素イオンが注入されているため、窒素イオンが存在しない側面に比べて酸化膜の成長が遅くなる。これにより、図5 (e) に示すように、ポリシリコン層14Cの表面には10nm程度のゲート間絶縁膜15aが形成され、このポリシリコン層14Cとトンネル酸化膜13の側面には、12~20nm程度のゲート間絶縁膜15bが形成される。

【0037】

(6) 工程6

図5 (f) に示すように、表面にゲート間絶縁膜15が形成された半導体基板11の表面に、後のパターンニングによって制御ゲート16となる厚さ80~150nmのポリシリコン層16Aを形成する。

【0038】

(7) 工程7

ポリシリコン層14Cを個々の浮遊ゲート14に分離するために、図1 (a) の横方向に帯状になるように、ポリシリコン層16A、ゲート間絶縁膜15、ポリシリコン層14C及びトンネル酸化膜13をパターンニングする。これにより、図5 (g) の右側に示すように、半導体基板11のアクティブ領域内に、トンネル酸化膜13、浮遊ゲート14、ゲート間絶縁膜15及び制御ゲート16を順次積層して形成された記憶素子が得られる。

【0039】

この後、記憶素子の両側の半導体基板11表面に、イオン拡散によってソース電極及びドレイン電極となる拡散層17、18を形成する。これにより、図1に示すような不揮発性半導体記憶装置における記憶素子が完成する。

【0040】

以上のように、この実施例3の記憶素子は、浮遊ゲート14となるポリシリコン層14の表面に、予め窒素イオンを注入した後、実施例2と同様の工程で形成している。従って、エッジ部が曲面となった浮遊ゲート14が得られると共に、この浮遊ゲート14側面のゲート間絶縁膜15bの膜厚を、表面のゲート間絶縁膜15aの膜厚よりも厚く形成することができる。これにより、実施例1と同様の利点をより確実に得ることができる。

【0041】

なお、以上説明した実施例は、あくまでも、この発明の技術内容を明らかにするためのものである。この発明は、上記実施例にのみ限定して狭義に解釈されるものではなく、この発明の特許請求の範囲に述べる範囲内で、種々変更して実施することができる。その変形例としては、例えば、次のようなものがある。

【0042】

(a) 実施例1の工程1と工程2の順序を変更して、始めにポリシリコン層14Aとトンネル酸化膜13をパターンニングした後、その表面に窒素イオンを注入するようにしても良い。

【0043】

(b) 膜厚や使用する材料等は、例示したものに限定されない。

【産業上の利用可能性】

【0044】

本発明の活用例として、半導体製造産業に利用することができる。

【図面の簡単な説明】

【0045】

【図1】 本発明の実施例1を示す不揮発性半導体記憶装置における記憶素子の構成図である。

【図2】 従来の不揮発性半導体記憶装置における記憶素子の構成図である。

【図3】 図1の記憶素子の製造方法を示す工程図である。

【図4】 本発明の実施例2を示す記憶素子の製造工程図である。

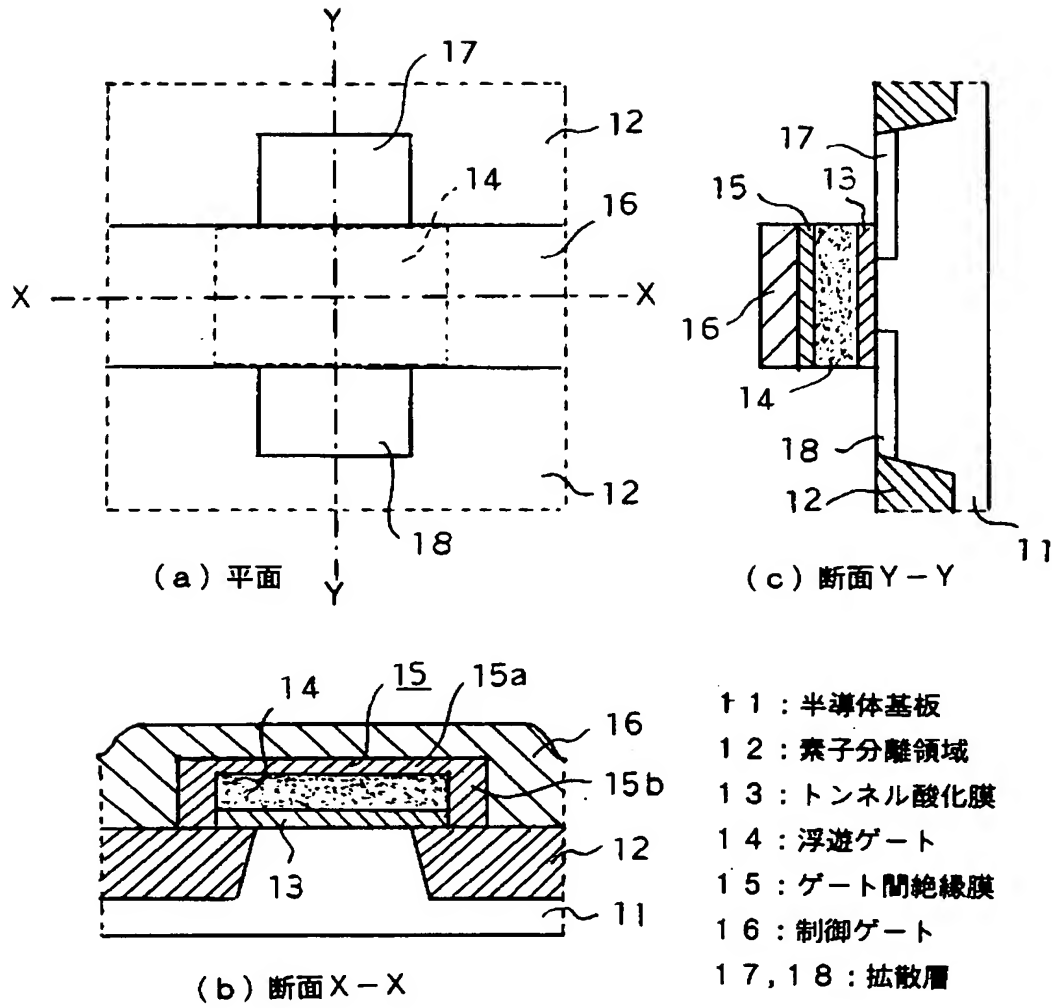
【図5】 本発明の実施例3を示す記憶素子の製造工程図である。

【符号の説明】

【0046】

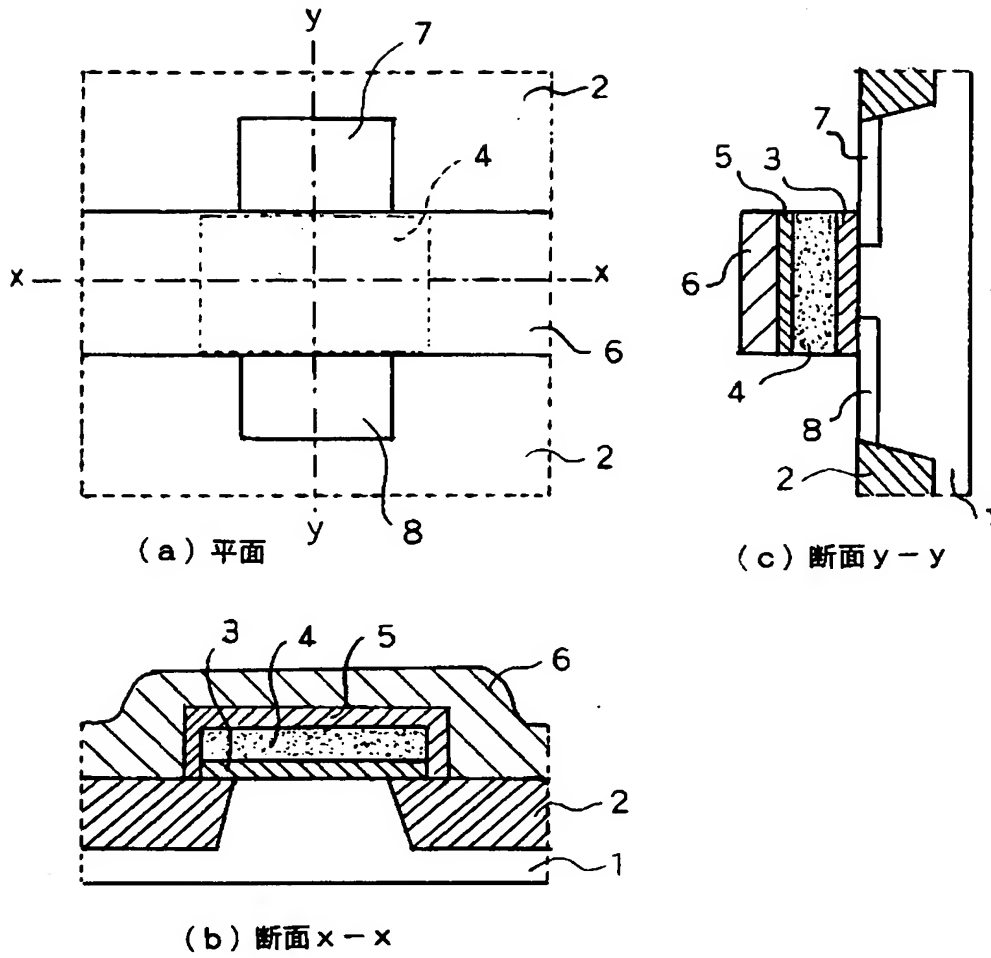
- 11 半導体基板
- 12 素子分離領域
- 13 トンネル酸化膜
- 14 浮遊ゲート
- 14A, 16A ポリシリコン層
- 14a 酸化膜
- 15, 15a, 15b ゲート間絶縁膜
- 16 制御ゲート
- 17, 18 拡散層
- 19 窒化シリコン膜

【書類名】図面
【図 1】



本発明の実施例 1 の記憶素子

【図 2】



従来の記憶素子

【図 3】

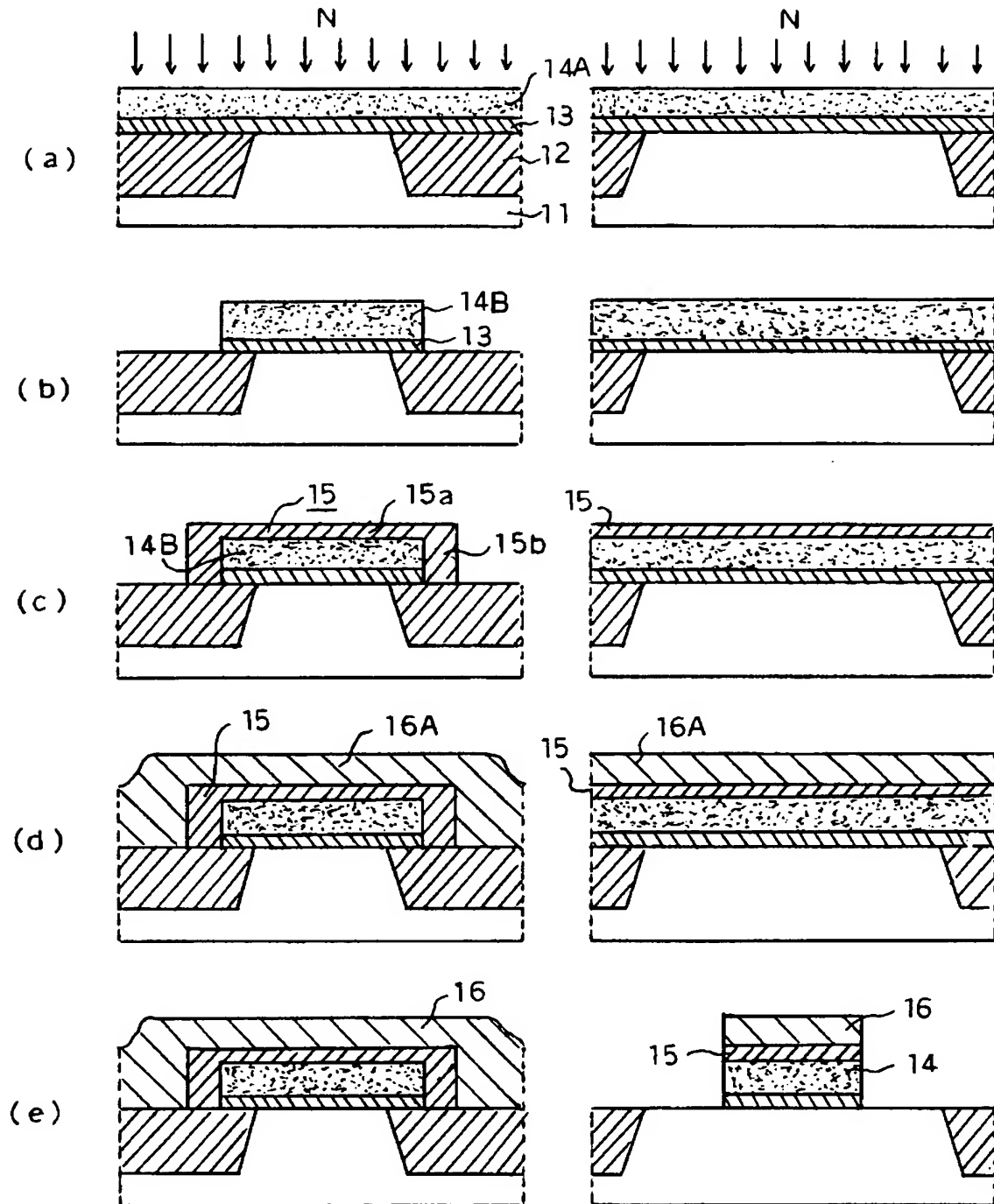
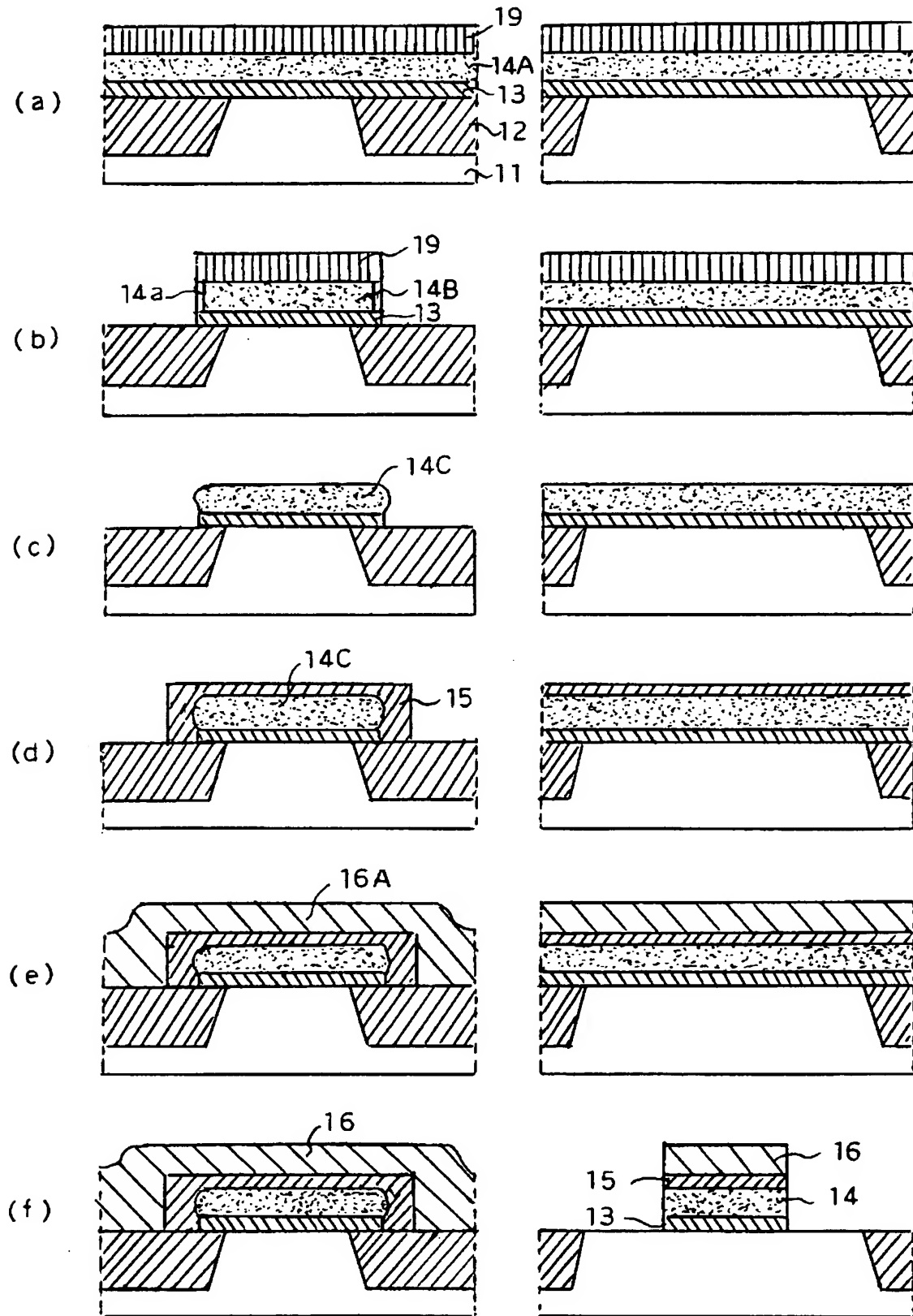


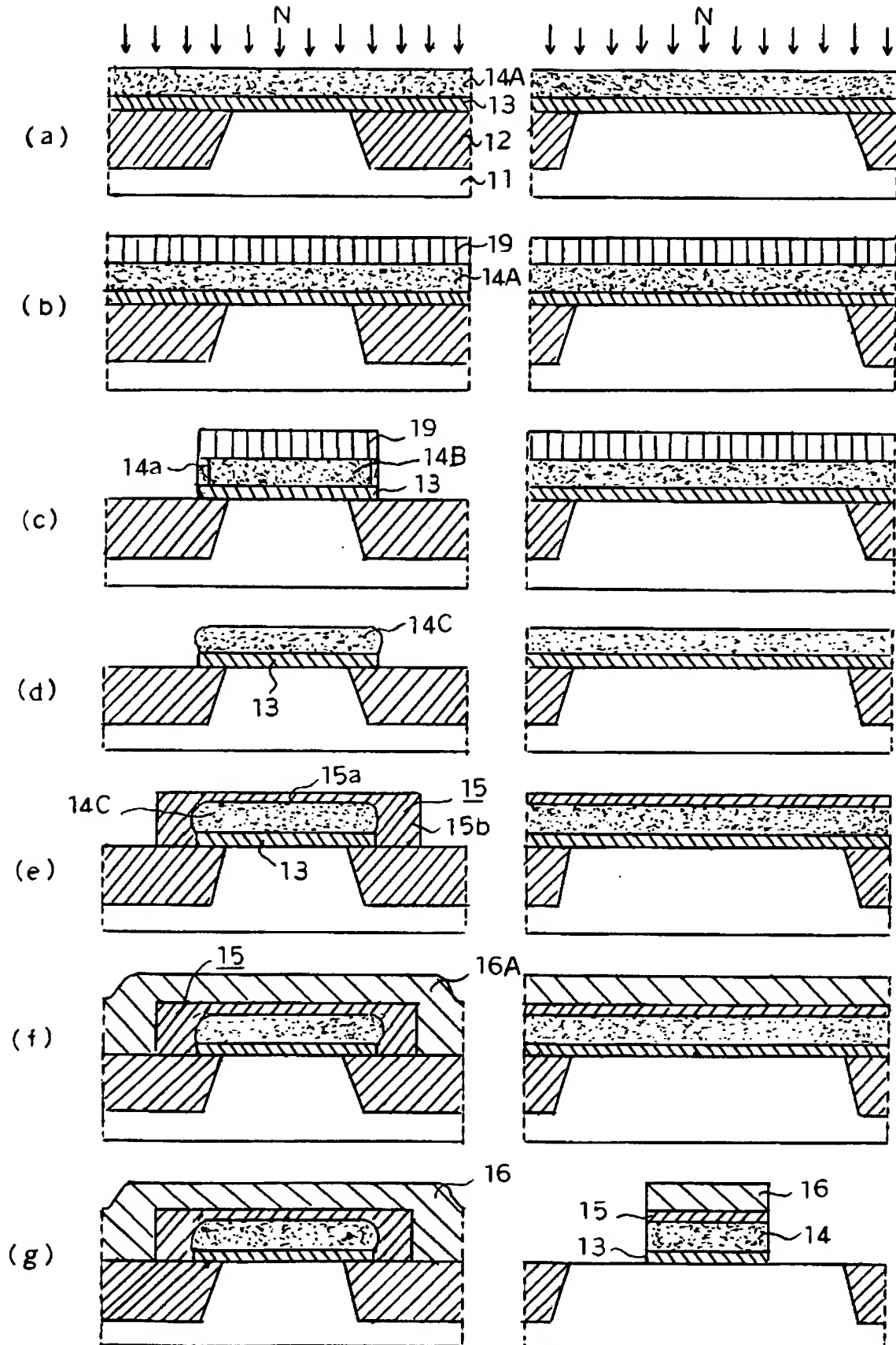
図 1 の記憶素子の製造方法

【図 4】



本発明の実施例 2 の記憶素子の製造工程

【図 5】



本発明の実施例 3 の記憶素子の製造工程

【書類名】 要約書

【要約】

【課題】 書込み及消去特性が良好で長時間の電荷保持が可能な不揮発性半導体記憶装置の製造方法を提供する。

【解決手段】 半導体基板 11 上に素子分離領域 12 を形成し、その上にトンネル酸化膜 13 と、後の工程で浮遊ゲート 14 になるポリシリコン層を逐次形成した後、このポリシリコン層の表面に、その表面だけに留まるよう窒素イオンを注入する。ポリシリコン層をパターニングして浮遊ゲート 14 を形成し、この浮遊ゲート 14 を熱酸化してゲート間絶縁膜 15 を形成する。窒素イオンにより熱酸化が抑制されるので、表面の酸化膜よりも側面の酸化膜を厚くすることができる。これにより、浮遊ゲート 14 のエッジ部におけるゲート間絶縁膜 15 を設計通りに形成でき、電気的な書込み及び消去に影響を与えず、かつ長時間の電荷保持が可能な不揮発性半導体記憶装置を得ることができる。

【選択図】 図 1

特願 2 0 0 3 - 3 7 0 8 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 3 7 0 8 6 3

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 8 1 6 2]

1. 変更年月日

1 9 9 1 年 3 月 1 1 日

[変更理由]

新規登録

住 所

宮城県黒川郡大衡村沖の平 1 番地

氏 名

宮城沖電気株式会社

2. 変更年月日

2 0 0 2 年 7 月 4 日

[変更理由]

住所変更

住 所

宮城県黒川郡大衡村沖の平 1 番

氏 名

宮城沖電気株式会社